

PAT-NO: JP408054836A
DOCUMENT-IDENTIFIER: JP 08054836 A
TITLE: DRIVE CIRCUIT FOR ACTIVE MATRIX TYPE
CURRENT CONTROLLING LIGHT EMITTING ELEMENT
PUBN-DATE: February 27, 1996

INVENTOR-INFORMATION:
NAME
IKEDA, NAOYASU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP06208185

APPL-DATE: August 10, 1994

INT-CL (IPC): G09F009/33, G09G003/30 , G09G003/32 ,
H05B033/08

ABSTRACT:

PURPOSE: To reduce power consumption and a cost and to obtain high picture quality by connecting a drain electrode of a thin film transistor to a light emitting element and a capacitor and connecting a power source to the other sides of the light emitting element and the capacitor connected in parallel.

CONSTITUTION: A unit pixel provided with an amorphous silicon thin film field-effect transistor(TFT) 17 and an organic thin film EL element 18 which is the light emitting element of which luminance is controlled

by a current flowing through the element is arranged in the vicinity of each crossing part between a scanning line 20 and a signal line 21 formed on a substrate in matrix. Then, the electrode of the TFT 17 is connected to the scanning line 20, and the source electrode is connected to the signal line 21 and the drain electrode is connected to the light emitting element 18 and the capacitor 19, respectively. Further, the other sides of the light emitting element 18 and the capacitor 19 connected in parallel are commonly connected to a power source electrode 52. Thus, the current flows through the light emitting element 18 through electrical charge stored in the capacitor 19 even after the TFT 17 is turned off, light emission is maintained, the voltage of the light emitting element 18 at the time of maximum luminance is reduced, a drive voltage is lowered, and a flicker in the light emitting element is suppressed.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許公開番号

特開平8-54836

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
G 0 9 F 9/33		7426-5H		
G 0 9 G 3/30	J	4237-5H		
3/32		4237-5H		
H 0 5 B 33/08				

審査請求 有 請求項の数 5 F D (全 13 頁)

(21) 出願番号 特願平6-208185

(22) 出願日 平成6年(1994)8月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 池田 直康

東京都港区芝五丁目7番1号 日本電気株式会社内

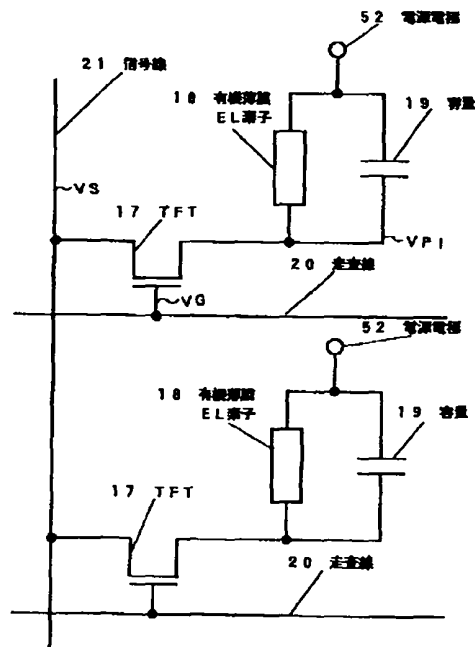
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 アクティブマトリクス型電流制御型発光素子の駆動回路

(57) 【要約】

【目的】電流制御型発光素子に印加する電圧を低下し、低消費電力化を図る。また低耐圧のドライバを使用できるようにして低コスト化を実現する。更に、表示のちらつきを抑え、高画質なアクティブマトリクス型の電流制御型発光素子アレイを実現する。

【構成】走査線(20)、信号線(21)の交差部に薄膜トランジスタ(17)、有機薄膜EL素子(18)及び容量(19)を設け、有機薄膜EL素子(18)と容量(19)を電氣的に並列に接続する。走査線(20)が選択された期間には信号線(21)からTFT(17)を介して有機薄膜EL素子(18)及び容量(19)に電圧が印加され、有機薄膜EL素子(18)が発光し、容量(19)には電荷が蓄えられる。走査線(20)が非選択の期間には容量(19)から有機薄膜EL素子(18)に電流が流れ、しばらく発光が持続する。



【特許請求の範囲】

【請求項1】基板上に走査線と信号線とがマトリクス状に形成され、前記走査線と前記信号線との各交差点付近に薄膜トランジスタと素子に流れる電流により輝度が制御される発光素子とを有する単位画素が配置されて成るアクティブマトリクス型電流制御型発光素子の駆動回路において、

前記薄膜トランジスタのゲート電極が前記走査線に接続され、ソース電極が前記信号線に接続され、ドレイン電極が前記発光素子と容量の夫々の一側の電極に接続され、前記発光素子は前記容量と電気的に並列に接続され、前記発光素子と前記容量の夫々の他側の電極が共に電源に接続されていることを特徴とするアクティブマトリクス型電流制御型発光素子の駆動回路。

【請求項2】基板上に走査線と信号線とがマトリクス状に形成され、前記走査線と前記信号線との各交差点付近に薄膜トランジスタと素子に流れる電流により輝度が制御される発光素子とを有する単位画素が配置されて成るアクティブマトリクス型電流制御型発光素子の駆動回路において、

前記薄膜トランジスタのゲート電極が前記走査線に接続され、ソース電極が前記信号線に接続され、ドレイン電極が前記発光素子と容量の夫々の一側の電極に接続され、前記発光素子は前記容量と電気的に並列に接続され、前記発光素子と前記容量の少なくとも一方の他側の電極が、前記薄膜トランジスタのゲート電極が接続されている走査線とは別の走査線に接続されていることを特徴とするアクティブマトリクス型電流制御型発光素子の駆動回路。

【請求項3】前記発光素子と前記容量の夫々の他側の電極が共に、前記薄膜トランジスタのゲート電極が接続されている走査線と相隣る走査線に接続されていることを特徴とする請求項2記載のアクティブマトリクス型電流制御型発光素子の駆動回路。

【請求項4】基板上に走査線と信号線とがマトリクス状に形成され、前記走査線と前記信号線との各交差点付近に薄膜トランジスタと素子に流れる電流により輝度が制御される発光素子とを有する単位画素が配置されて成るアクティブマトリクス型電流制御型発光素子の駆動回路において、

一画素内に、該画素を選択する前記走査線が選択された際にオン状態となり非選択の際にオフ状態となる第1のトランジスタと、前記走査線が選択された際にオフ状態となり非選択の際にオン状態となる第2のトランジスタと、容量と、を更に含み、前記走査線の選択期間には前記第1のトランジスタを介して前記信号線から前記容量に電圧が印加され、前記走査線の非選択期間には前記第2のトランジスタを介して前記容量から前記発光素子に電圧が印加されるように構成されたことを特徴とするアクティブマトリクス型電流制御型発光素子の駆動回路。

【請求項5】前記第1のトランジスタが、ゲート電極が前記走査線に接続され、一側の電極が前記信号線に接続された第1導電型の薄膜トランジスタから成り、

前記第2のトランジスタが、ゲート電極が前記走査線に接続され、一側の電極が前記第1のトランジスタの他側の電極に接続され、他側の電極が前記発光素子の一側の電極に接続された前記第1導電型とは逆の導電型の薄膜トランジスタから成り、前記第1及び第2のトランジスタの共通接続点に前記容量の一側の電極が接続され、前記発光素子と前記容量の夫々の他側の電極が共に電源電極に接続されて成ることを特徴とする請求項4記載のアクティブマトリクス型電流制御型発光素子の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディスプレイに用いられる発光素子の駆動装置に関し、特に有機及び無機EL（エレクトロルミネンス）又はLED（発光ダイオード）等のような発光輝度が素子を流れる電流により制御される電流制御型発光素子の駆動回路に関する。

【0002】

【従来の技術】走査線及び信号線によりマトリクスを構成し、その各交点に有機及び無機EL、LEDの様な発光素子を配設し、ドットマトリクスにより文字表示を行うディスプレイはテレビ、携帯端末、広告塔等に広く利用されている。

【0003】特にこれらのディスプレイは画素を構成する素子自体が発光素子であるため、液晶を用いたディスプレイとは異なり、照明のためのバックライトを必要としない、視野角依存性が少ない等の特徴を有し注目を集めている。

【0004】図13に、特願平1-162808号公報に開示された、発光素子に電荷注入型の有機薄膜EL素子（「有機薄膜EL素子」と略記する）を用いた単純マトリクス型のディスプレイの構成例を示す。

【0005】図13において、43は走査線に相当するカソード電極、44は信号線に相当するアノード電極、45は有機薄膜EL素子による平面電界発光媒体、46は基板である。

【0006】図13に示す単純マトリクス型のディスプレイの動作を説明するために、図13を等価回路で表わした図を図14に示す。図14において、47は走査線、48は信号線、49は図13のカソード電極43とアノード電極44の交差点に位置する平面発光媒体（「発光素子」と略記する）である。

【0007】また、図15に、図14の構成を持つ回路において、発光素子Aのみが消灯しており、残りの画素が全て点灯している場合に各走査線及び信号線に印加される電圧を示す。

【0008】図15において、発光素子Aには、常に走査線47と信号線48の電位の差分（ ΔV_{SS} とする）

に相当する電圧が印加される。この例の場合、 n 本目の走査線 S_n が選択されると、走査線 47 と信号線 48 の電位差はないので発光素子 A は消えたままである。

【0009】次の走査線 S_{n+1} が選択されると、発光素子 A には走査線 47 と信号線 48 の差の電圧が印加される。

【0010】以後、残りの画素は全て点灯しているので、発光素子 A には ΔV_{SS} の電圧が印加され続ける。

【0011】このため、発光素子 A は走査線が選択された期間では電圧は印加されていないが、それ以外の期間では常に微少な ΔV_{SS} なる電圧が印加され、全くオフにはならず僅かに発光する。

【0012】このように、図 13 に示すような単純マトリクス型のディスプレイでは、発光させたい画素を選択している期間以外にも信号線の電圧が変動しているため、表示パターンによっては、発光してはならない画素に電圧が印加され画素が発光するという、いわゆるクロストークが発生し画質が劣化するという問題があった。

【0013】このような問題を解決するため、例えば特開平 4-125683 号公報には、トランジスタをスイッチング素子として用いて発光素子を動作させる、いわゆるアクティブマトリクス型の表示装置の構成例が開示されている。

【0014】図 16 に、前記特開平 4-125683 号公報に開示された EL 表示装置の等価回路図を示す。図 16 を参照して、その動作を以下に説明する。

【0015】図 16 において、走査線 47 が選択されると、信号線 48 よりトランジスタ 50 を介して発光素子 51 に電流が流れるため、発光素子 51 が発光する。走査線 47 が非選択になるとトランジスタ 50 がオフするため、電流が流れなくなり、この期間に信号線 48 の電圧がどのように変化しようとも、発光素子 51 は点灯しないのでクロストークは発生しない。

【0016】

【発明が解決しようとする課題】近年ディスプレイはその用途の拡大につれてテレビ、パソコン等のディスプレイからワークステーション、ハイビジョン等のディスプレイのように更に大画面、高精細化という性能が要求されている。

【0017】このため、ディスプレイの大画面化に伴い走査線及び信号線の配線長は長くなり、また高精細化に伴い 1 走査線当たりの選択時間は短くなる。

【0018】走査線及び信号線の配線長の増大は、配線の端から端までの抵抗の増加を招く。画素を点灯させる場合は配線に電流が流れるが、抵抗が大きくなるに従いこの部分での電圧降下も大きくなる。

【0019】この場合、画素に電流を供給する電源から近い位置にある画素と遠い位置にある画素では発生する電圧降下の大きさが異なるので、発光素子に印加される電圧も電源からの距離に応じて異なることになる。これ

は画素に流れる電流が変わる原因となるので、同じ輝度で点灯するように電源側から同じ電圧を印加しても、輝度が異なるという現象が生じる。

【0020】また、ディスプレイの高精細化に伴い 1 発光素子当たりの点灯時間は短縮され、高精細ディスプレイの場合、画素数が少ないディスプレイと比較して、同じ電流を流した場合、実際の表示の輝度が低下するという問題を生じる。

【0021】この問題を解決するためには、画素に印加する電圧を上げれば良いが、画素の印加電圧を上げると消費電力が増大するという問題が生じる他、更に、発光素子及びトランジスタの耐圧の点で、素子破壊、信頼性の低下等の問題も生じることになる。

【0022】また、このような駆動を行ったときの輝度は、ある走査線が選択されてから次にその走査線が選択されるまでの間に大きく変化するので、輝度差が大きいと人間の目にはちらついて見えるため、表示が見にくくなり、画質が劣化するという問題もある。

【0023】従って、本発明は、前記問題点を解消し、電流制御型発光素子に印加する電圧を低下し、低消費電力化を図る。また低耐圧のドライバを使用できるようにして低コスト化を実現する。更に、表示のちらつきを抑え、高画質なアクティブマトリクス型の電流制御型発光素子アレイを提供することを目的とする。

【0024】

【課題を解決するための手段】前記目的を達成するため、本発明は、第 1 の視点において、基板上に走査線と信号線とがマトリクス状に形成され、前記走査線と前記信号線との各交差部付近に薄膜トランジスタと素子に流れる電流により輝度が制御される発光素子とを有する単位画素が配置されて成るアクティブマトリクス型電流制御型発光素子の駆動回路において、前記薄膜トランジスタのゲート電極が前記走査線に接続され、ソース電極が前記信号線に接続され、ドレイン電極が前記発光素子と容量の夫々の一側の電極に接続され、前記発光素子は前記容量と電気的に並列に接続され、前記発光素子と前記容量の夫々の他側の電極が共に電源に接続されていることを特徴とするアクティブマトリクス型電流制御型発光素子の駆動回路を提供する。

【0025】また本発明は、第 2 の視点において、基板上に走査線と信号線とがマトリクス状に形成され、前記走査線と前記信号線との各交差部付近に薄膜トランジスタと素子に流れる電流により輝度が制御される発光素子とを有する単位画素が配置されて成るアクティブマトリクス型電流制御型発光素子の駆動回路において、前記薄膜トランジスタのゲート電極が前記走査線に接続され、ソース電極が前記信号線に接続され、ドレイン電極が前記発光素子と容量の夫々の一側の電極に接続され、前記発光素子は前記容量と電気的に並列に接続され、前記発光素子と前記容量の少なくとも 1 方の他側の電極が、前

記薄膜トランジスタのゲート電極が接続されている走査線とは別の走査線に接続されていることを特徴とするアクティブマトリクス型電流制御型発光素子の駆動回路を提供する。

【0026】さらに本発明は、第3の視点において、基板上に走査線と信号線とがマトリクス状に形成され、前記走査線と前記信号線との各交差部付近に薄膜トランジスタと素子に流れる電流により輝度が制御される発光素子とを有する単位画素が配置されて成るアクティブマトリクス型電流制御型発光素子の駆動回路において、一画素内に、該画素を選択する前記走査線が選択された際にオン状態となり非選択の際にオフ状態となる第1のトランジスタと、前記走査線が選択された際にオフ状態となり非選択の際にオン状態となる第2のトランジスタと、容量と、を更に含み、前記走査線の選択期間には前記第1のトランジスタを介して前記信号線から前記容量に電圧が印加され、前記走査線の非選択期間には前記第2のトランジスタを介して前記容量から前記発光素子に電圧が印加されるように構成されたことを特徴とするアクティブマトリクス型電流制御型発光素子の駆動回路を提供する。

【0027】本発明においては、薄膜トランジスタは、好ましくは、薄膜電界効果型トランジスタから成り、アモルファスシリコンTFTの他、多結晶及び単結晶シリコン、CdSeのような化合物半導体等を用いてもよい。

【0028】そして、本発明においては、電流制御型発光素子として、有機薄膜EL素子の他、無機EL、LED等が用いられる。

【0029】

【作用】本発明は、第1の視点において、発光素子に並列に蓄積容量を接続して成り、走査線が選択されトランジスタがオン状態にあるときは信号線から電流が発光素子に供給されて発光し、また同時に蓄積容量にも電荷が蓄えられる。そして、トランジスタがオフすると蓄積容量から発光素子に電流が供給されるので、発光素子の時間に対する輝度変化の割合が低減されるため、ちらつきを小さくすることができる。

【0030】また本発明によれば、トランジスタがオフした後も発光素子の発光が続くので、実効的な輝度が同じでも最大発光輝度時の電圧を低く抑えることができ駆動電圧を下げるができる。

【0031】そして、本発明は、第2の視点において、第1の視点において共通電極に接続されていた発光素子及び蓄積容量の端子を、その発光素子を駆動しているトランジスタが接続されている走査線とは別の走査線に接続する。本発明は、かかる構成により、共通電極を省略することができるため、配線の断線、短絡による欠陥の増加を防ぐことができる。

【0032】さらに、本発明は、第3の視点において、

走査線が選択されている期間にオン状態となる第1のトランジスタと非選択期間中にオン状態となる第2のトランジスタとを組み合わせ、走査線が選択されている間は信号線から蓄積容量のみに電流を流して電荷を蓄え、非選択の状態になったときに蓄積容量から発光素子に電流を供給するような構成としたことにより、走査線が選択されている間は信号線に発光素子が接続されていないため第1のトランジスタは蓄積容量のみに電流を供給すればよく、トランジスタのサイズを小型化できる。また最大発光輝度を低く抑えることが出来るので、ちらつきを防止することが出来る。

【0033】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0034】

【実施例1】本発明の第1の実施例を以下に説明する。本実施例では、発光素子として電荷注入型の有機薄膜EL素子（「有機薄膜EL素子」と略記する）を、基板に透光性のガラス基板を、駆動用のトランジスタとして逆スタガ構造のアモルファスシリコン薄膜電界効果型トランジスタ（「TFT」と略記する）を用い、画素サイズが $300 \times 300 \mu\text{m}^2$ 、画素数として横640、縦480のパソコン用のディスプレイに、本発明を適用した場合について説明する。

【0035】図1は、本実施例の構成を示す平面図である。図1において、1はTFT、2は信号線、3は走査線、4は電子注入電極、5は電子注入電極4との間に容量を形成するための容量線である。

【0036】図2は、図1の平面図の線a-a'についての断面図である。図2において、6は透光性のガラス基板、7はゲート絶縁膜、8はTFT1のゲート電極、9はTFT1のアイランド、10はTFT1のソース電極、11はTFT1のドレイン電極、12はMgAgによる電子注入電極、13はコンタクトホール、14はスペーサ層14A、有機発光層14B、正孔注入層14Cからなる有機薄膜層、15は光を取り出すためにITO(indium-tin-oxide)を使用した正孔注入電極、16は発光素子絶縁膜である。

【0037】図2を参照して、本実施例に係るディスプレイ装置の製造工程を以下に説明する。

【0038】はじめに、ガラス基板6上にCrを200nm成長させ、走査線3、容量線5、TFT1のゲート電極8をパターンニングし、更にゲート絶縁膜7としてSiO₂を400nm成長させる。

【0039】次に、ゲート絶縁膜7上に、TFT1のアイランド9を形成するためのイントリンシックアモルファスシリコン(i-a-Si)、及びオーミックコンタクトをとるためのn⁺アモルファスシリコン(n⁺-a-Si)をそれぞれ300nm、50nm成長させ、パターンニングしてアイランド9を形成する。このアイランド

7

9は、後にTFT1のチャネル部が形成される部分である。

【0040】ついで、Crを100nm成長させ、パターンニングして信号線2、TFT1のソース電極10及びドレイン電極11を形成する。

【0041】更に、TFT1のアイランド9のイントリンシックアモルファスシリコン(i-a-Si)及びn⁺アモルファスシリコン(n⁺-a-Si)を、各TFT1のソース電極10及びドレイン電極11用のCrをマスクとして、イントリンシックアモルファスシリコン(i-a-Si)の途中までエッチングし、各TFT1のチャネル部を形成する。

【0042】次に、発光素子絶縁膜16用のSiO₂を200nm成長させ、ドレイン電極11とこの後の工程で成長される電子注入電極(有機薄膜EL素子の一方の電極)12とを接続するためのコンタクトホール13をエッチングにより形成する。

【0043】その後、MgAgを200nm成長し、リフトオフ法によってパターンニングして電子注入電極12を形成する。

【0044】このようにして、1画素の大きさが300×300μm²で640×480画素のTFTパネルを作成した。

【0045】次に、上記工程により得られたTFTパネル上に、有機薄膜ELを形成する。

【0046】本実施例に用いた有機薄膜ELの有機薄膜層14は、電子注入電極12側から、電極界面での励起子の解離を防止するためのスペーサ層14A、有機発光層14B及び正孔注入層14Cが積層された三層構造となっている。スペーサ層14Aとして、トリス(8-ヒドロキシキノリン)アルミニウムを真空蒸着法によって50nm形成した後、有機発光層14Bとして、トリス(8-ヒドロキシキノリン)アルミニウムと3,9-ペリレンジカルボン酸ジフェニルエステルとを各々別の蒸発源からの共蒸着によって70nm形成した。

【0047】更に、正孔注入層14Cとして、1,1-ビス(4-N,N-ジトリルアミノフェニル)シクロヘキサンを真空蒸着法によって50nm形成した。最後に正孔注入電極15として、厚さ1μmの透明電極材料ITOの層を塗布法により形成した。

【0048】次に、図1及び図2の構造の駆動回路の動作時に、各配線及び素子に印加される電圧の関係について詳述する。

【0049】図3は、図1及び図2の構造の駆動回路の等価回路図である。図3において17はTFT、18は有機薄膜EL素子、19は有機薄膜EL素子18に並列に接続された容量、52は有機薄膜EL素子18に電流を供給するための電源電極、20はTFT17を選択する信号を供給する走査線、21はTFT17を介して有機薄膜EL素子18及び容量19に電流を供給するため

8

の信号線である。図3に示すように、互いに並列に接続された有機薄膜EL素子18と容量19の電極のうちTFT17に接続されていない側の電極は、電源電極52に共通接続されている。

【0050】図3において、VG、VS、及びVPIは回路図中の各点での電圧を示している。

【0051】図4は、図3の各部の電圧の様子を示した信号波形図である。図4中の、VG、VS、VPIはそれぞれ図3中の各位置(即ち、VGはTFT17のゲート電極、VSは信号線21、VPIは有機薄膜EL素子18及び容量19のTFT17に共通接続された側の電極)での電圧を示している。

【0052】また、図4(D)のLAは、電圧VPIにより有機薄膜EL素子18が発光した場合の輝度を示している。比較のために、容量19を接続しない場合の輝度変化の様子を図4(D)にLBで示す。

【0053】図3において、走査線20が選択されると、オン状態となったTFT17を介して信号線21から有機薄膜EL素子18及び容量19に電圧が印加される。

【0054】このとき有機薄膜EL素子18は発光し、同時に容量19には電荷が蓄積される。

【0055】走査線20が非選択の状態になると、TFT17はオフ状態となり信号線21の電圧は有機薄膜EL素子18に印加されなくなるが、容量19には電荷が蓄えられているので有機薄膜EL素子18の発光はすぐには終了せず、容量19の電荷によりしばらくの間発光する。

【0056】一方、容量19を接続しない場合には、TFT17がオフになった時点で有機薄膜EL素子18は発光を終了するので、図4(D)のLBで示すように、TFT17がオンしている時点では、容量19を接続した場合よりも高い輝度で発光させなければならない。このため1フレーム期間での輝度差が大きくなるため、走査線の本数が多くなると、ちらつきが目立つという問題がある。

【0057】しかしながら、有機薄膜EL素子18に並列に容量19を接続した本実施例においては、その発光輝度LAは、容量19を接続しない場合の発光輝度LBと比較してその輝度差が小さくなるため、ちらつきが目立たなくなる。

【0058】本実施例に係る640×480ドットのパソコン用ディスプレイでは駆動電圧が低下し、このため従来のディスプレイよりも低消費電力のディスプレイを作成することができた。また、本実施例に係るディスプレイは、ちらつきが無い高画質のディスプレイを提供するため、ディスプレイ利用者の疲労度を少なくする。

【0059】なお、本実施例においては、基板上面より発光素子の光を取り出すような構造としたが、本発明はこれに限らず、基板に近い側の電極をITO等の透明電

極で形成し、透明電極が設けられた側から光を取り出すようにしても同じ効果が得られる。

【0060】また、本実施例において、薄膜トランジスタは、逆スタガ型のアモルファスシリコンTFTとして説明を行ったが、本発明におけるトランジスタは、多結晶及び単結晶シリコン、CdSeのような化合物半導体等を使用しても同様の構造を作成できる。

【0061】

【実施例2】次に、図面を参照して本発明の第2の実施例の説明を行う。本実施例では、発光素子として電荷注入型の有機薄膜EL素子（「有機薄膜EL素子」と略記する）を、基板に透光性のガラス基板を、駆動用のトランジスタとして逆スタガ構造のアモルファスシリコン薄膜電界効果型トランジスタ（以下TFTと省略する）を用いて、画素サイズ $300 \times 300 \mu\text{m}^2$ 、画素数として横640、縦480のパソコン用のディスプレイに本発明を適用した場合について説明する。

【0062】図5は、本実施例を示す平面図である。図5において、1はTFT、2は信号線、3は走査線、4は電子注入電極、22は一つ前（1ライン前）の走査線と電子注入電極4との間に形成された容量である。

【0063】図6は、図5の線a-a'についての断面図である。

【0064】図6において、6は透光性のガラス基板、7はゲート絶縁膜、8はTFT1のゲート電極、9はTFT1のアイランド、10はTFT1のソース電極、11はTFT1のドレイン電極、4はMgAgによる電子注入電極、28はコンタクトホール、14はスペーサ層14A、有機発光層14B、正孔注入層14Cからなる有機薄膜層、15は光を取り出すためにITOを使用した正孔注入電極、16は発光素子絶縁膜である。

【0065】図6を参照して、本実施例に係るディスプレイ装置の製造工程を以下に説明する。

【0066】はじめに、ガラス基板6上にCrを200nm成長させ、走査線3、走査線3に接続された容量22、TFT1のゲート電極8をパターニングし、更にゲート絶縁膜7としてSiO₂を400nm成長させる。

【0067】次に、ゲート絶縁膜7上に、TFT1のアイランド9を形成するためのイントリンシックアモルファスシリコン（i-a-Si）、及びオーミックコンタクトを取るためのn⁺アモルファスシリコン（n⁺-a-Si）をそれぞれ300nm及び50nm成長し、パターニングしてアイランド9を形成する。このアイランド9は後にTFT1のチャンネル部が形成される部分である。

【0068】ついで、Crを100nm成長、パターニングして、信号線2、TFT1のソース電極10及びドレイン電極11を形成する。

【0069】更に、TFT1のアイランド9のイントリンシックアモルファスシリコン（i-a-Si）及びn

「アモルファスシリコン（n⁺-a-Si）を、各TFT1のソース電極10及びドレイン電極11用のCrをマスクとしてイントリンシックアモルファスシリコン（i-a-Si）の途中までエッチングし、各TFT1のチャンネル部を形成する。

【0070】次に、発光素子絶縁膜16用のSiO₂を200nm成長させ、ドレイン電極11とこの後の工程で成長される電子注入電極（有機薄膜EL素子の一方の電極）12とを接続するためのコンタクトホール13をエッチングにより形成する。

【0071】その後、MgAgを200nm成長させ、リフトオフ法によってパターニングして電子注入電極12を形成する。このようにして1画素の大きさが $300 \times 300 \mu\text{m}^2$ で640×480画素のTFTパネルを作成した。

【0072】次に、このようにして得られたTFTパネル上に、有機薄膜ELを形成する。本実施例に用いた有機薄膜ELの有機薄膜層14は、前述したように電子注入電極12側から、電極界面での励起子の解離を防止するためのスペーサ層14A、有機発光層14B及び正孔注入層14Cが積層された三層構造となっている。スペーサ層14Aとしてトリス（8-ヒドロキシキノリン）アルミニウムを真空蒸着法によって50nm形成した後、有機発光層14Bとしてトリス（8-ヒドロキシキノリン）アルミニウムと3，9-ペリレンジカルボン酸ジフェニルエステルとを各々別の蒸発源からの共蒸着によって70nm形成した。更に、正孔注入層14Cとして1，1-ビス（4-N，N-ジトリルアミノフェニル）シクロヘキサンを真空蒸着法によって50nm形成した。

【0073】最後に正孔注入電極15として、厚さ1μmの透明電極材料ITOの層を塗布法により形成した。

【0074】次に図5及び図6の構造の駆動回路の動作時に、各配線及び素子に印加される電圧の関係について詳述する。

【0075】図7は、図5及び図6の構造の駆動回路の等価回路図である。

【0076】図7において、17はTFT、18は有機薄膜EL素子、19は有機薄膜EL素子18に並列に接続された容量、20はTFT17を選択する信号を供給する走査線、21はTFT17を介して有機薄膜EL素子18及び容量19に電流を供給するための信号線である。

【0077】図7に示すように、並列に接続された有機薄膜EL素子18と容量19の電極のうちTFT17に接続されていない側の電極は、有機薄膜EL素子18と容量19に信号線21から電流を導通させるTFT17のゲート電極に接続された走査線20と相隣る走査線20に接続されている。

【0078】図7において、VG、VS、VPIは回路

11

図中の各点での電圧を示している。

【0079】図8は、図7の各部の電圧の様子を示した信号波形図である。図8中のVG、VS、VPIはそれぞれ図7中の各位置（即ち、VGはTFT17のゲート電極、VSは信号線21、VPIは有機薄膜EL素子18及び容量19のTFT17に共通接続された側の電極）での電圧を示している。

【0080】また、図8(D)のLAは、VPIにより有機薄膜EL素子18が発光した場合の輝度を示している。比較のために容量19を接続しない場合の輝度変化の様子を図8(D)にLBで示す。

【0081】図7において、走査線20が選択されるとTFT17を介して信号線21から有機薄膜EL素子18及び容量19に電圧が印加される。このとき有機薄膜EL素子18は発光し、同時に容量19には電荷が蓄積される。

【0082】走査線20が非選択の状態になると信号線21の電圧は有機薄膜EL素子18に印加されなくなるが、容量19には電荷が蓄えられているので有機薄膜EL素子18の発光はすぐには終了せず、容量19の電荷によりしばらく発光する。

【0083】一方、容量19を接続しない場合、TFT17がオフになった時点で発光を終了するので、TFT17がオンしている時点では、容量19を接続した場合より高い輝度で発光させなければならない（図8(D)のLB参照）。

【0084】このため1フレーム期間での輝度差が大きくなるので、走査線の本数が多くなるとちらつきが目立つという問題があるが、容量を付けた場合の発光輝度LAはLBと比較してその輝度差が小さくなるためちらつきが目立たなくなる。

【0085】なお、本実施例においては、基板上面より発光素子の光を取り出すような構造としたが、本発明はこれに限らず基板に近い側の電極をITO等の透明電極で形成し、透明電極が設けられた側から光を取り出すようにしても同じ効果が得られる。また本実施例では薄膜トランジスタとして、逆スタガ型のアモルファスシリコンTFTとして説明を行ったが、本発明におけるトランジスタは、多結晶及び単結晶シリコン、CdSeのような化合物半導体等を使用しても同様の構造を作成できる。

【0086】

【実施例3】次に、図面を参照して本発明の第3の実施例の説明する。本実施例では、発光素子として、電荷注入型の有機薄膜EL素子（「有機薄膜EL素子」と略記する）を、基板に透光性の石英基板を、駆動用のトランジスタに順スタガ構造のポリシリコン薄膜電界効果型トランジスタ（「TFT」と略記する）を用いて、画素サイズ $200 \times 200 \mu\text{m}^2$ 、画素数として横640、縦480のパソコン用のディスプレイに本発明を適用した

12

場合について説明する。

【0087】図9は、本実施例の構成を示す平面図である。図9において22は走査線、23は信号線、24は容量線、25はnチャネル型TFT（「n-chTFT」と記す）、26はpチャネル型TFT（「p-chTFT」と記す）、27は容量電極、28はコンタクトホールである。

【0088】図10は、図9の線a-a' についての断面図である。

【0089】図10において、29は石英基板、30はアイランド、31はゲート酸化膜、32はゲート電極、33は容量電極、34は信号線、12はMgAgによる電子注入電極、28はコンタクトホール、14はスペーサ層14A、有機発光層14B、正孔注入層14Cからなる有機薄膜層、15は光を取り出すためにITOを使用した正孔注入電極、35は層間絶縁膜である。

【0090】図10を参照して、本実施例に係るディスプレイ装置の製造工程を以下に説明する。

【0091】はじめに、石英基板29上にポリシリコンを100nm成長させ、アイランド30のバターンニングを行う。

【0092】次に、ゲート絶縁膜のSiO₂を100nm、ゲート電極32及び走査線用のポリシリコンを300nm連続成膜し、バターンニングを行う。

【0093】ついで、イオン注入を行うため、まずn-chTFT25のアイランド部を除いてマスクをかけPイオンの注入を行う。

【0094】次に、p-chTFT26のアイランド部を除いてマスクをかけBイオンの注入を行う。

【0095】そして、SiO₂を500nm成膜、コンタクトホールをバターンニングにより形成し、TFTのゲートとソース及びドレインの分離を行うための層間絶縁膜35を作成する。この後TFTのソース電極、ドレイン電極及び容量電極33、信号線34になるAlを500nm成膜し、各パターンを作成する。

【0096】次に、発光素子絶縁膜16用のSiO₂を200nm成長させ、p-chTFT26のドレイン電極とこの後の工程で成長される電子注入電極（有機薄膜EL素子の一方の電極）12とを接続するためのコンタクトホール13をエッチングにより形成する。

【0097】その後、MgAgを200nm成長させ、リフトオフ法によってバターンニングして電子注入電極12を形成する。このようにして1画素の大きさが $200 \times 200 \mu\text{m}^2$ で 640×480 画素のTFTパネルを作成した。

【0098】次に、このようにして得られたTFTパネル上に、有機薄膜ELを形成する。

【0099】本実施例に用いた有機薄膜ELの有機薄膜層14は、既に述べたように電子注入電極12側から、電極界面での励起子の解離を防止するためのスペーサ層

13

14A、有機発光層14B及び正孔注入層14Cが積層された三層構造となっている。スペーサ層14Aとしてトリス(8-ヒドロキシキノリン)アルミニウムを真空蒸着法によって50nm形成した後、有機発光層14Bとしてトリス(8-ヒドロキシキノリン)アルミニウムと3,9-ペリレンジカルボン酸ジフェニルエステルとを各々別の蒸発源からの共蒸着によって70nm形成した。更に、正孔注入層14Cとして1,1'-ビス(4-N,N-ジトリルアミノフェニル)シクロヘキサンを真空蒸着法によって50nm形成した。最後に正孔注入電極15として、厚さ1μmの透明電極材料ITOの層を塗布法により形成した。

【0100】次に、図9及び図10の構造の駆動回路の動作時に各配線及び素子に印加される電圧の関係について詳述する。

【0101】図11は、図9及び図10の構造の駆動回路の等価回路図である。

【0102】図11において、36はnチャネル型TFT(「n-chTFT」と記す)、37はpチャネル型TFT(「p-chTFT」と記す)、38は有機薄膜EL素子、39は有機薄膜EL素子38に並列に接続された容量、40は有機薄膜EL素子38及び容量39に電流を供給するための電源電極、41はTFTを選択する信号を供給する走査線、42はTFTを介して容量39に電流を供給するための信号線である。

【0103】図11に示すように、走査線41はn-chTFT36とp-chTFT37のゲート電極に接続され、信号線42はn-chTFT36の一侧の電極に接続され、n-chTFT36の他側の電極は容量39の一侧の端子とp-chTFT37の一侧の電極との接続点に接続され、p-chTFT37の他側の電極は有機薄膜EL素子38の一侧の電極に接続されている。そして、容量39の他側の端子と有機薄膜EL素子38の他側の電極とは電源電極40に接続されている。

【0104】図11においてVG、VS、VC、VPIは回路図中の各点での電圧を示している。

【0105】図12は、図11の各部の電圧の様子を示した信号波形図である。図12中のVG、VS、VC、VPIはそれぞれ図11中の各位置(即ち、VGは走査線41、VSは信号線42、VCは容量39のn-chTFT36に接続された側の電極、VPIは有機薄膜EL素子38のp-chTFT37に接続された側の電極)での電圧を示している。

【0106】また、図12(D)のLAは、電圧VPIにより有機薄膜EL素子38が発光した場合の輝度を示している。

【0107】図11において、走査線41が選択されると、n-chTFT36がオン状態となり、信号線42からn-chTFT36を介して容量39に電圧が印加される。

14

【0108】このときp-chTFT37はオフ状態とされ、有機薄膜EL素子38は発光しない。

【0109】次に、走査線41が非選択状態になると、n-chTFT36がオフ状態となるため、信号線42の電圧は容量39に印加されなくなるが、p-chTFT37がオン状態となり、容量39に蓄えられた電荷がp-chTFT37を介して有機薄膜EL素子38に流れ込み、有機薄膜EL素子38が発光する。

【0110】容量39に蓄えられた電荷は徐々に放電するので、有機薄膜EL素子38の発光はすぐには終了せず、減衰はするもののしばらくの間発光する。

【0111】なお、本実施例においては、基板上面より発光素子の光を取り出すような構造としたが、本発明はこれに限らず、例えば基板に近い側の電極をITO等の透明電極で形成し、透明電極が設けられた側から光を取り出すようにしても同じ効果が得られる。また本発明のトランジスタは、順スタガ型のポリシリコンTFTとして説明を行ったが、トランジスタは単結晶シリコンを使用しても同様の構造を作成できる。

【0112】

【発明の効果】以上説明したように、本発明のアクティブマトリクス型電流制御型発光素子の駆動回路によれば、トランジスタがオフした後も容量に蓄えられた電荷により発光素子に電流が流れ発光が持続する構成とされ、所定の輝度を得る場合に、発光素子の最大輝度時の電圧を低く抑えることができ、駆動電圧を下げる事ができ、低消費電力化、及び信頼性の向上を達成する。また、本発明によれば、最大輝度が下がることにより発光素子のちらつきを抑えることができる。

【0113】本発明を例えば640×480ドットのパソコン用ディスプレイに適用した場合、駆動電圧の低下により、ディスプレイの低消費電力化を達成し、信頼性を大幅に向上する。

【0114】さらに、本発明によれば、低消費電力化に伴い、安価な低耐圧ドライバICの使用が可能とされ、ディスプレイの製造コストを低減することができる。

【0115】さらにまた、本発明によれば、ちらつきが無い高画質のディスプレイを提供するため、ディスプレイ利用者の疲労度を少なくするという効果を有する。

【0116】そして、本発明は、第2の視点において、共通電極に接続されていた発光素子と蓄積容量の端子を、別の走査線に接続するように構成されたことにより、共通電極を省略できると共に配線の断線、短絡による欠陥の増加を防ぐことができるため、信頼性を特段に向上する。

【0117】本発明は、第3の視点において、走査線が選択されている期間にオン状態となる第1のトランジスタと非選択期間中にオン状態となる第2のトランジスタとを組み合わせ、走査線が選択されている間は信号線から蓄積容量のみに電流を流して電荷を蓄え、非選択の状

15

態になったときに蓄積容量から発光素子に電流を供給するような構成としたことにより、走査線が選択されている間は信号線に発光素子が接続されないため、第1のトランジスタは蓄積容量のみに電流を供給すればよくトランジスタのサイズを小型化できる。また最大発光輝度を低く抑えることが出来るので、ちらつきを防止することが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す平面図である。

【図2】図1の平面図の線a-a'についての断面図である。

【図3】本発明の第1の実施例の等価回路を示す図である。

【図4】本発明の第1の実施例における信号波形を示す図である。

【図5】本発明の第2の実施例の構成を示す平面図である。

【図6】図5の平面図の線a-a'についての断面図である。

【図7】本発明の第2の実施例の等価回路を示す図である。

【図8】本発明の第2の実施例における信号波形を示す図である。

【図9】本発明の第3の実施例の構成を示す平面図である。

【図10】図9の平面図の線a-a'についての断面図である。

【図11】本発明の第3の実施例の等価回路を示す図である。

【図12】本発明の第3の実施例における信号波形を示す図である。

【図13】従来の単純マトリクス構造を示す斜視図である。

【図14】従来の単純マトリクス構造(図13)の等価回路を示す図である。

【図15】従来の単純マトリクス構造の信号波形を示す図である。

【図16】クロストークを改善した従来のアクティブマトリクス型の表示装置の等価回路を示す図である。

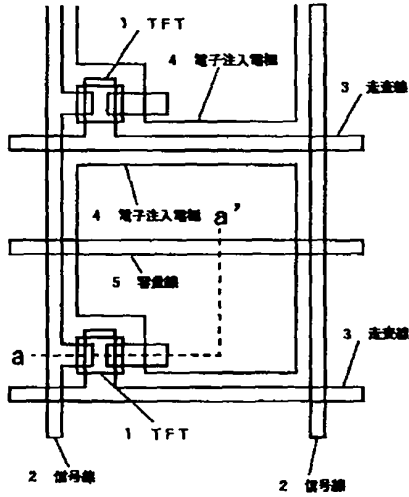
【符号の説明】

- 1 TFT
- 2 信号線
- 3 走査線
- 4 電子注入電極
- 5 容量線
- 6 ガラス基板
- 7 ゲート絶縁膜

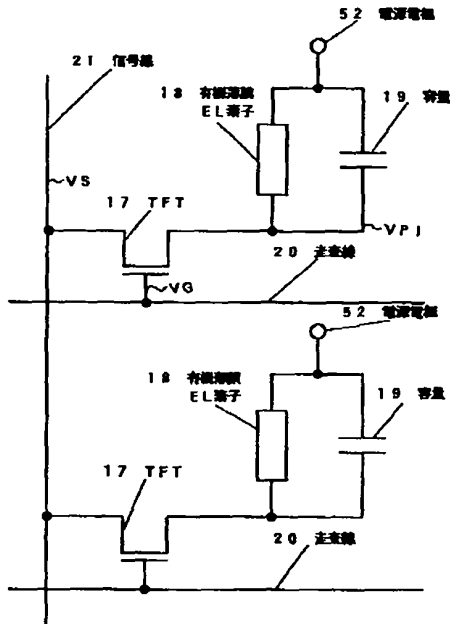
16

- 8 TFTのゲート電極
- 9 アイランド
- 10 TFTのソース電極
- 11 TFTのドレイン電極
- 12 電子注入電極
- 13 コンタクトホール
- 14 有機薄膜層
- 14A スペーサ層
- 14B 有機発光層
- 14C 正孔注入層
- 15 正孔注入電極
- 16 発光素子絶縁膜
- 17 TFT
- 18 有機薄膜EL素子
- 19 容量
- 20 走査線
- 21 信号線
- 22 走査線
- 23 信号線
- 24 容量線
- 25 n-chTFT
- 26 p-chTFT
- 27 容量電極
- 28 コンタクトホール
- 29 石英基板
- 30 アイランド
- 31 ゲート酸化膜
- 32 ゲート電極
- 33 容量電極
- 34 信号線
- 35 層間絶縁膜
- 36 n-chTFT
- 37 p-chTFT
- 38 有機薄膜EL素子
- 39 容量
- 40 電源電極
- 41 走査線
- 42 信号線
- 43 カソード電極
- 44 アノード電極
- 45 平面発光媒体
- 46 基板
- 47 走査線
- 48 信号線
- 49 発光素子
- 50 トランジスタ
- 51 発光素子
- 52 電源電極

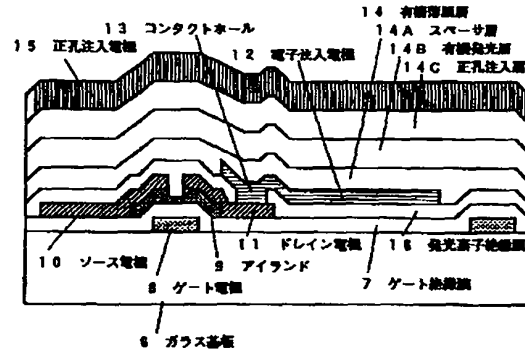
【図1】



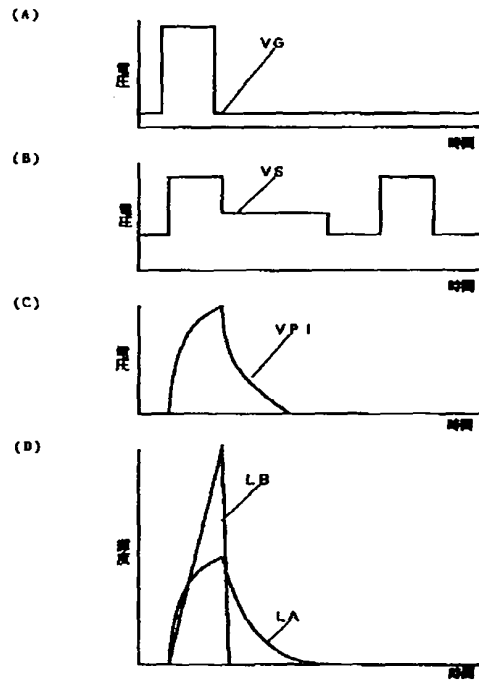
【図3】



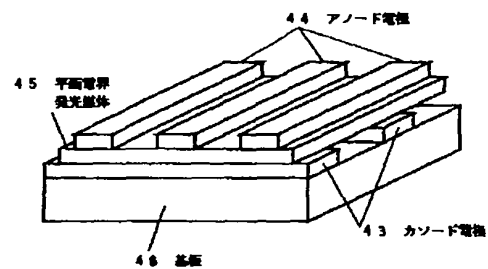
【図2】



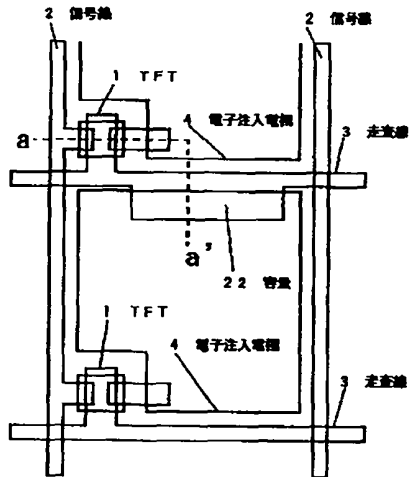
【図4】



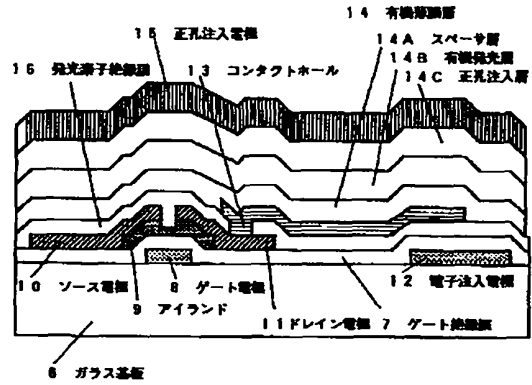
【図13】



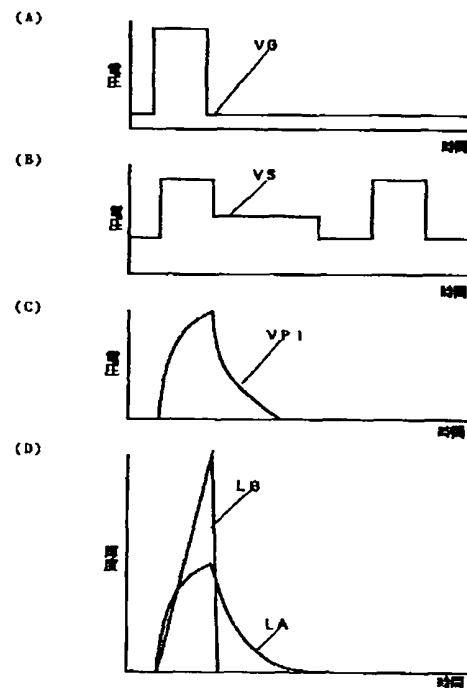
【図5】



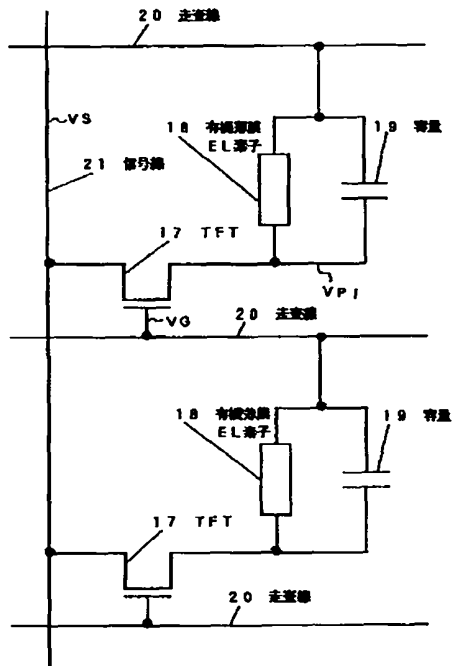
【図6】



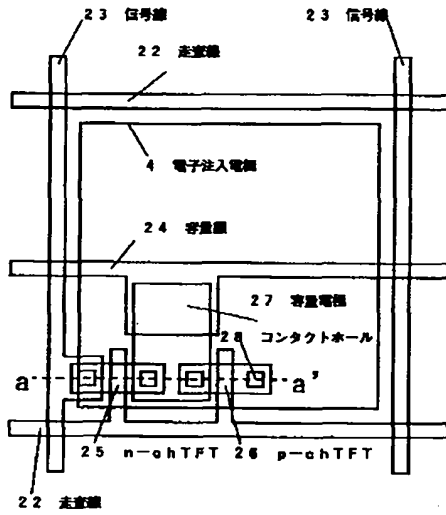
【図8】



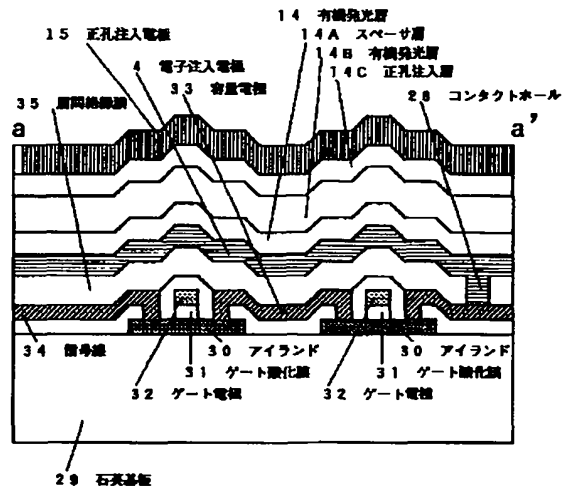
【図7】



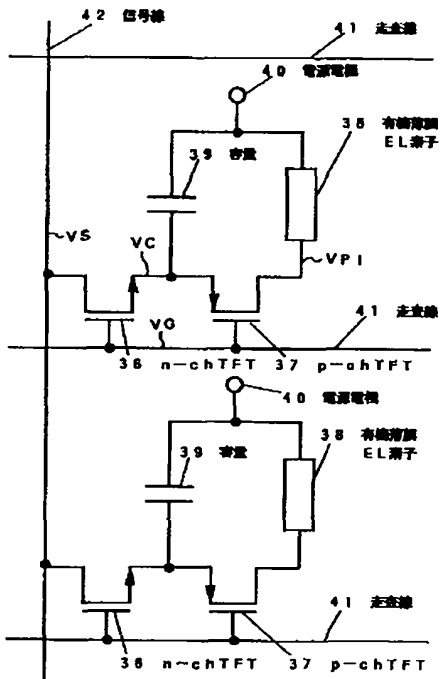
【図9】



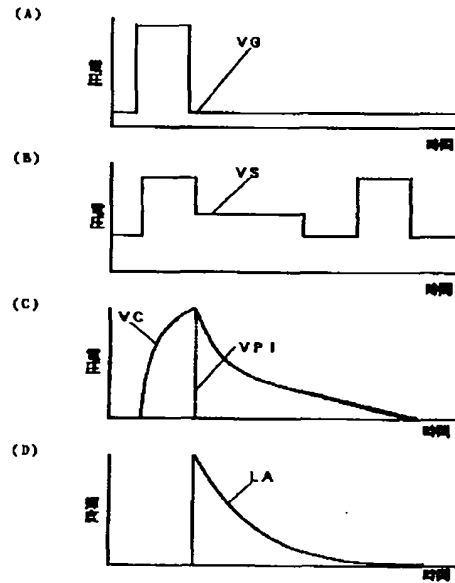
【図10】



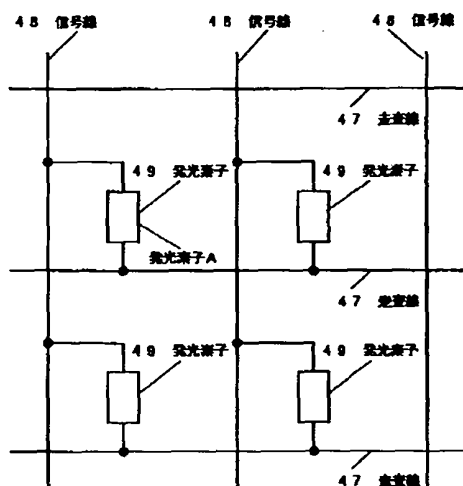
【図11】



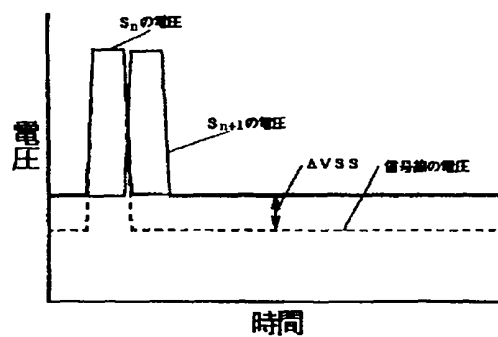
【図12】



【図14】



【図15】



【図16】

